

Method for producing a positively engaging connection between semiconductor components and metallic surface of carrier elements**Publication number:** DE4303790**Publication date:** 1994-08-11**Inventor:** WILDE JUERGEN DR ING (DE)**Applicant:** DAIMLER BENZ AG (DE)**Classification:****- international:** B23K20/16; H01L21/60; H01L21/603; B23K20/16; H01L21/02; (IPC1-7): H01L21/58**- European:** B23K20/16; H01L21/60C4; H01L21/603**Application number:** DE19934303790 19930210**Priority number(s):** DE19934303790 19930210[Report a data error here](#)**Abstract of DE4303790**

The subject matter of the invention is a method for producing a positively engaging connection between metallic surfaces of semiconductor elements and carrier elements. Between a semiconductor and a substrate which are each provided with surfaces of materials with relatively high melting points, an intermediate layer consisting of a metal which has a lower melting point than the semiconductor and the metallic substrate is arranged. The semiconductor surface which has a relatively high melting point and the intermediate layer which has a low melting point and the substrate metallization which has a relatively high melting point are placed in contact with one another and heated with a prescribed variation in temperature and contact pressure to or above the melting temperature of the intermediate layer, such that the liquid intermediate layer wets the joint surfaces of the semiconductor and substrate. By diffusion of the disappearing, liquid intermediate layer into the semiconductor metallisation and the substrate metallisation, an inter-metallic phase of material of the intermediate layer and of the connector and the contact to be joined is formed. Finally, by cooling and solidifying during the prescribed variation in temperature and contact pressure, the positively engaging connection is produced between the semiconductor and the substrate.

Data supplied from the esp@cenet database - Worldwide



⑦① Anmelder:

Daimler-Benz Aktiengesellschaft, 70567 Stuttgart,
DE

⑦② Erfinder:

Wilde, Jürgen, Dr.-Ing., 8752 Mainaschaff, DE

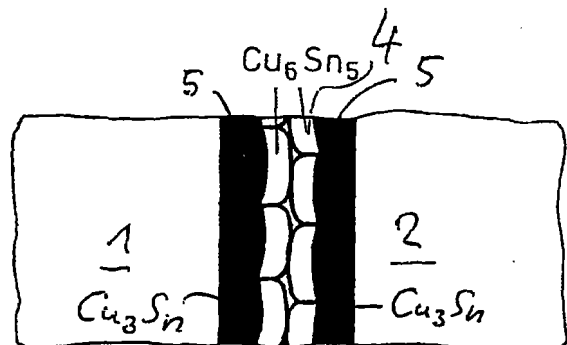
Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zur Erzeugung einer formschlüssigen Verbindung zwischen Halbleiterbauelementen und metallischen Oberflächen von Trägerelementen

⑤⑦ Gegenstand der Erfindung ist ein Verfahren zur Erzeugung einer formschlüssigen Verbindung zwischen metallischen Oberflächen von Halbleiter- und Trägerelementen. Zwischen einem Halbleiter und einem Substrat, die jeweils mit Oberflächen aus höherschmelzenden Metallen versehen sind, wird eine Zwischenschicht aus einem gegenüber dem Halbleiter und metallischen Substrat niedrigschmelzendem Metall angeordnet. Die höherschmelzende Halbleiteroberfläche, die niedrigschmelzende Zwischenschicht und die höherschmelzende Substratmetallisierung werden miteinander in Berührung gebracht und unter einem vorgegebenen Temperatur- und Anpreßdruckverlauf auf bzw. über die Schmelztemperatur der Zwischenschicht derart erwärmt, daß die flüssige Zwischenschicht die Fügeoberflächen von Halbleiter und Substrat benetzt.

Durch Diffusion der verschwindenden flüssigen Zwischenschicht in die Halbleitermetallisierung und die Substratmetallisierung wird eine intermetallische Phase vom Material der Zwischenschicht und des zu fügenden Verbinders und Kontakts gebildet.

Abschließend wird durch Abkühlung und Erstarrung während des vorgegebenen Temperatur- und Anpreßdruckverlaufes die formschlüssige Verbindung zwischen Halbleiter und Substrat hergestellt.



Beschreibung

Die Erfindung betrifft ein Verfahren zur Erzeugung einer formschlüssigen Verbindung zwischen metallischen Oberflächen von Halbleitern und Trägerelementen, insbesondere zur Montage von Halbleiter-Chips auf Substraten sowie in elektronischen Bauelementen und Schaltungen.

Es ist bekannt, Halbleiterbauelemente durch Löt- oder Klebverfahren zu montieren. Während es bei derartigen, durch Löten hergestellten Verbindungen von Nachteil ist, daß diese keiner hohen Temperaturbelastung und nur relativ wenigen Temperaturwechseln ausgesetzt werden können, ist es bei geklebten Verbindungen nachteilig, daß diese nur eine begrenzte Wärmeleitfähigkeit sowie eine relativ geringe Feuchtbeständigkeit aufweist.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren zur Erzeugung einer zuverlässigen formschlüssigen Montage-Verbindung für metallische Oberflächen von Halbleiterkontakten zu schaffen, die eine lange Lebensdauer bei hohen Temperaturen aufweist und eine große Anzahl von Temperaturwechseln übersteht, sowie eine hohe thermische Leitfähigkeit besitzt.

Die Aufgabe wird erfindungsgemäß durch folgende Verfahrensschritte gelöst:

- a) zwischen einer metallischen Oberfläche eines Halbleiterbauelements und einem Substrat mit Metalloberfläche wird eine Zwischenschicht aus einem gegenüber dem Bauelement und Substrat niedrigschmelzendem Metall angeordnet;
- b) die höherschmelzende Halbleitermetallisierung, die niedrigschmelzende Zwischenschicht und die höherschmelzende Substratmetallisierung werden miteinander in Berührung gebracht und unter einem vorgegebenen Temperatur- und Anpreßdruckverlauf auf bzw. über die Schmelztemperatur der Zwischenschicht derart erwärmt, daß die flüssige Zwischenschicht die Fügeoberflächen von Halbleiter und Substrat benetzt;
- c) daß durch Diffusion der verschwindenden flüssigen Zwischenschicht in die Halbleitermetallisierung und Substratmetallisierung eine intermetallische Phase vom Material der Zwischenschicht und der zu fügenden Teile gebildet wird; und
- d) daß abschließend durch Abkühlung und Erstarrung während des vorgegebenen Temperatur- und Anpreßdruckverlaufes die formschlüssige Verbindung zwischen Halbleiter und Substrat hergestellt wird, deren Schmelztemperatur höher ist, als die der ursprünglichen Zwischenschicht.

Das erfindungsgemäße Verfahren, welches als Isotherme Erstarrung bezeichnet wird, kann als Fügeverfahren nicht eindeutig den Löt- oder den Schweißprozessen zugeordnet werden. Verfahrensprinzip ist die Erzeugung einer formschlüssigen Verbindung zwischen zwei Fügepartnern aus höherschmelzenden Metallen unter Zuhilfenahme einer verschwindenden flüssigen Zwischenschicht aus einem niedrigschmelzenden Metall.

Das erfindungsgemäße Verfahren bringt folgende Vorteile mit sich:

- Kontaktierung bei niedrigen Temperaturen von 160 bis 450°C, die dem Löten entsprechen.
- Hohe Temperaturstabilität der Verbindungen,

da die Schmelztemperatur T_s intermetallischer Phasen um 100 bis 300 K über der Fügetemperatur liegt.

— Große Festigkeit der Verbindungen wegen geringer Verformbarkeit der intermetallischen Phasen.

— Geringe mechanische Belastung der Bauteile durch geringen Anpreßdruck.

Die Suche nach geeigneten binären Systemen für das obige Verfahren, bestehend aus einem hoch- und einem niedrigschmelzenden Metall, wurde unter den Randbedingungen der Montage von Halbleiterbauelementen vorgenommen, wobei folgende Kriterien beachtet wurden:

- geringster Schmelzpunkt des Systems $T_s < 400^\circ\text{C}$.
- Bildung von hochlegierten Mischkristallen bzw. intermetallischen Phasen.
- Vollständigkeit des Systems

und führte dazu, daß gemäß Ausgestaltungen des erfindungsgemäßen Verfahrens als niedrigschmelzende Zwischenschicht Metalle mit einem Schmelzpunkt unter 450°C verwendet werden, wie Bi, Cd, Ga, In, Pb, Sn oder Zn, und daß als höherschmelzende Halbleitermetallisierungen und Substratmetallisierungen oder Kontakte Metalle wie Ag, Au, Cu, Co, Fe, Mn, Ni, Pd, Pt, Ir, Os, Re, Rh oder Ru verwendet werden.

Weitere Ausgestaltungen des erfindungsgemäßen Verfahrens gehen dahin, daß die Schmelztemperatur und der vorgegebene Anpreßdruck mittels einer Druck-Heiz-Zeit-Vorrichtung aufgebracht werden, wobei eine Vorrichtung mit einer Anpreßfläche von in der Größe des Halbleiterbauelements $0,5 \times 0,5$ bis ca. $15 \times 15 \text{ mm}^2$, deren Temperaturbereich von 100 bis 500°C um $\pm 3\text{K}$ regelbar ist, verwendet werden kann, oder dahin, daß die Schmelztemperatur in einem Ofen bei gleichzeitiger Aufbringung des Anpreßdrucks mittels einer mechanischen Druckvorrichtung aufgebracht wird.

Das erfindungsgemäße Verfahren mit seinen erfindungsgemäßen Ausgestaltungen eignet sich in vorteilhafter Weise zur Herstellung von Verbindungen zwischen Dünnschichten. Hierbei erfolgt das Wachstum der gebildeten intermetallischen Phasen in Dünnschichtpaaren nicht in ebener Front, sondern beispielsweise in Form noppenartiger (CuSn) oder stengeliger (NiSn) Einkristalle. Es wird näherungsweise durch ein parabolisches Gesetz in Form

$$d_i = k \times t^n$$

beschrieben, wobei die Werte von n für Cu_6Sn_5 bei $n = 0,2$ bis $0,4$, bei Ni_3Sn_4 bei ca. $0,5$ liegen. Die Abweichungen vom Gesetz werden durch überlagerte Volumen- und Korngrenzendiffusion bedingt.

Zur Herstellung von formschlüssigen Verbindungen zwischen Halbleiterbauelementen und Substraten sind beispielsweise zwei verschiedene Systeme verwendbar. Das erste System weist ein Substrat mit einer metallischen Fügeoberfläche aus Silber sowie eine Halbleiteroberfläche aus Silber und eine Zwischenschicht aus Zinn auf. Hingegen besteht das zweite System aus einem Substrat mit einer Fügeoberfläche aus Gold, einer Halbleiteroberfläche aus Gold sowie einer Zwischenschicht aus Indium. Die Herstellung erfolgt nach den obenge-

nannten Verfahrensschritten a bis d, wobei das Substrat, die Zwischenschicht und der Halbleiter auf eine der Löttemperatur entsprechende Schmelztemperatur der jeweiligen Zwischenschicht in einem Bereich von 160 bis 350°C für einen Zeitraum von 0,5 bis 5 min erwärmt werden, und wobei für diesen Zeitraum die vorgegebenen Anpreßdrücke zwischen Verbinder, Zwischenschicht und Kontakt zwischen 0,5 und 50 Newton pro mm² Fügefläche betragen.

Eine Ausgestaltung der Erfindung besteht darin, daß unter der Zwischenschicht eine dünne Diffusionssperrschicht abgeschieden wird, welche eine Reaktion zwischen Trägermetall und der Zwischenschicht während der Lagerung verhindert und somit eine Verbesserung der Lagerfähigkeit erlaubt. Diese Zwischenschicht kann entweder auf dem Substrat oder vorzugsweise auf dem Halbleiter oder auf beiden Fügeflächen angebracht werden.

Hierbei wird als erfinderische Weiterbildung die Verwendung einer 3 bis 10 µ dicken Silberschicht auf den Oberflächen von Halbleiter sowie Substrat sowie die Verwendung einer Schichtdicke der Zinn-Zwischenschicht, die 1 bis 2 µ beträgt, angesehen. Anstelle der Silberschicht auf den Oberflächen von Halbleiter und Substrat kann auch eine Goldschicht auf den Oberflächen vorgesehen sein, wobei eine Indium-Zwischenschicht mit 1 bis 2 µ Schichtdicke verwendet wird.

Eine besondere Ausgestaltung der Erfindung ist dadurch gekennzeichnet, daß die Zwischenschicht aus Zinn bzw. Indium auf die Fügeoberfläche des Substrats aus Silber oder aus Gold (gemäß Unteranspruch 12) oder aber auf die Fügeoberfläche des Halbleiters aus Silber oder aus Gold (gemäß Unteranspruch 16) lokal aufgebracht wird.

So ist eine lokale Aufbringung der Zwischenschicht mittels Photolacktechnik (Photoresisttechnik) oder durch eine Bedampfung oder durch Galvanik mittels Maskentechnik auf die Fügeoberfläche des Halbleiters oder des Substrats möglich.

Die Erfindung wird im folgenden anhand eines in einer Zeichnung dargestellten Ausführungsbeispiels mit einem Cu-Su-Cu-System näher beschrieben.

Es zeigen:

Fig. 1 metallische Oberflächen als Fügeflächen je eines Halbleiters und eines Substrats im Abstand voneinander in Seitenansicht;

Fig. 2 die metallischen Oberflächen gem. Fig. 1 mit einer den Abstand zwischen den Oberflächen ausfüllenden Löttschicht;

Fig. 3 die im Abstand voneinander angeordneten metallischen Oberflächen gem. Fig. 1 mit intermetallischen Phasen in der Zwischenschicht, die noch eine geschmolzene Löttschicht enthält;

Fig. 4 die im Abstand voneinander angeordneten Oberflächen gem. Fig. 1 mit fortgeschrittener metallischer Phase in der Zwischenschicht und

Fig. 5 die im Abstand voneinander angeordneten Oberflächen gem. Fig. 1 mit einer Festkörperverbindung durch die Zwischenschicht.

Zwei metallische koplanare Oberflächen 1, 2 aus Kupfer von zwei nicht näher dargestellten Halbleitern oder anderen Trägerelementen werden im Abstand voneinander angeordnet. Auf eine der beiden Oberflächen wird eine dünne Schicht 3 aus Zinn aufgebracht. Die auf den koplanaren Oberflächen 1, 2 mit dünnen Schichten aus Zinn versehenen Kupferteilen werden unter Druck in Kontakt miteinander gebracht und anschließend über die Schmelztemperatur des Zinns erwärmt. Die hier-

durch entstehende dünne Schmelzschicht benetzt die Oberflächen 1, 2, im folgenden auch Fügeflächen genannt. Aus der Schmelzschicht diffundiert Zinn in das Kupfer der Fügeflächen. Dabei bildet sich zunächst die intermetallische η-Phase mit Cu₆Sn unter fortschreitender Aufzehrung der schmelzflüssigen Phase. Dieser Zustand ist in Fig. 3 schematisch dargestellt, in der die Bereiche mit Cu₆Sn durch 4 bezeichnet sind. Die intermetallische ε-Phase in der Zwischenschicht mit nahezu völlig verschwundener schmelzflüssiger Phase zeigt Fig. 4.

Der in Fig. 4 gezeigte Zustand der Schicht 3 zwischen den Fügeflächen entspricht einer Festkörper-Verbindung der Fügeflächen. Bei weiterer Temperatureinwirkung, z. B. bei Verwendung der hergestellten Festkörper-Verbindung unter erhöhten Temperaturen, wird dann die intermetallische ε-Phase mit höherem Cu-Gehalt, nämlich Cu₃Sn, gebildet. Die entsprechenden Bereiche sind in Fig. 5 mit 5 bezeichnet.

Patentansprüche

1. Verfahren zur Erzeugung einer formschlüssigen Verbindung zwischen metallischen Oberflächen von Halbleiter- und Trägerelementen, insbesondere zur Montage von Halbleiterchips in Bauelementen oder auf Substraten, **gekennzeichnet durch folgende Verfahrensschritte:**

a) zwischen einem Halbleiter und einem Substrat, die jeweils mit Oberflächen aus höherschmelzenden Metallen versehen sind, wird eine Zwischenschicht aus einem gegenüber dem Halbleiter und metallischen Substrat niedrigschmelzendem Metall angeordnet;

b) die höherschmelzende Halbleiteroberfläche, die niedrigschmelzende Zwischenschicht und die höherschmelzende Substratmetallisierung werden miteinander in Berührung gebracht und unter einem vorgegebenen Temperatur- und Anpreßdruckverlauf auf bzw. über die Schmelztemperatur der Zwischenschicht derart erwärmt, daß die flüssige Zwischenschicht die Fügeoberflächen von Halbleiter und Substrat benetzt;

c) daß durch Diffusion der verschwindenden flüssigen Zwischenschicht in die Halbleitermetallisierung und die Substratmetallisierung eine intermetallische Phase vom Material der Zwischenschicht und des zu fügenden Verbinders und Kontakts gebildet wird; und

d) daß abschließend durch Abkühlung und Erstarrung während des vorgegebenen Temperatur- und Anpreßdruckverlaufes die formschlüssige Verbindung zwischen Halbleiter und Substrat hergestellt wird, deren Schmelztemperatur höher ist, als die der ursprünglichen Zwischenschicht.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß als niedrigschmelzende Zwischenschicht Metalle mit einem Schmelzpunkt unter 450°C verwendet werden, wie Bi, Cd, Ga, In, Pb, Sn oder Zn.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß als höherschmelzende Halbleitermetallisierung und Substratmetallisierung Metalle wie Ag, Au, Cu, Co, Fe, Mn, Ni, Pd, Pt, Ir, Os, Re, Rh oder Ru verwendet werden.

4. Verfahren nach Anspruch 1, 2 oder 3, dadurch

gekennzeichnet, daß die Schmelztemperatur und der vorgegebene Anpreßdruck mittels einer Druck-Heiz-Zeit-Vorrichtung aufgebracht werden.

5. Verfahren nach Anspruch 4, gekennzeichnet durch die Verwendung einer Druck-Heiz-Zeit-Vorrichtung mit einer Anpreßoberfläche in der Größe der Halbleitermetallisierung, deren Temperaturbereich von 100 bis 500°C um $\pm 3K$ regelbar ist.

6. Verfahren nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß die Schmelztemperatur in einem Ofen bei gleichzeitiger Aufbringung des Anpreßdrucks mittels einer mechanischen Druckvorrichtung aufgebracht wird.

7. Verfahren nach einem der Ansprüche 1 bis 6 zur Herstellung einer formschlüssigen Verbindung zwischen einem Halbleiterbauelement und einem Trägerelement, dadurch gekennzeichnet, daß ein Halbleiter mit einer metallischen Fügeoberfläche aus Silber bzw. Gold, ein Trägerelement mit Oberfläche aus Silber bzw. Gold und eine Zwischenschicht aus Zinn bzw. Indium verwendet werden.

8. Verfahren nach Anspruch 7, gekennzeichnet durch die Verwendung eines Trägerelements aus Silizium, Keramiken wie Al_2O_3 , AlN, SiC, Metallen wie Molybdän, Kupfer, Kupfer-Invar-Kupfer oder organischem Leiterplatten-Basismaterial mit einer Fügeoberfläche aus Silber.

9. Verfahren nach Anspruch 7, gekennzeichnet durch die Verwendung eines Trägerelements aus Silizium, Keramiken wie Al_2O_3 , AlN, SiC, Metallen wie Molybdän, Kupfer, Indium oder organischem Leiterplatten-Basismaterial mit einer Fügeoberfläche aus Gold.

10. Verfahren nach Anspruch 7, gekennzeichnet durch die Verwendung einer 2 bis 10 μ dicken Silberschicht auf der Oberfläche des Trägerelements.

11. Verfahren nach Anspruch 7, gekennzeichnet durch die Verwendung einer 2 bis 10 μ dicken Goldschicht auf der Oberfläche des Trägerelements.

12. Verfahren nach Anspruch 10 oder 11, dadurch gekennzeichnet, daß die Schichtdicke der Zinn-Zwischenschicht auf dem Halbleiter oder Substrat 1 bis 2 μ beträgt.

13. Verfahren nach einem oder mehreren der Ansprüche 7 bis 12, dadurch gekennzeichnet, daß die Zwischenschicht aus Zinn bzw. Indium auf die Fügeoberfläche des Substrats aus Silber oder Gold lokal aufgebracht wird.

14. Verfahren nach Anspruch 13, gekennzeichnet durch eine lokale Aufbringung der Zwischenschicht auf die Fügeoberfläche des Substrats mittels Photolacktechnik (Photoresisttechnik).

15. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß die Zwischenschicht durch eine lokale Bedampfung oder Besputterung durch Maskentechnik auf die Fügeoberfläche des Substrats aufgebracht wird.

16. Verfahren nach Anspruch 13, gekennzeichnet durch eine lokale galvanische Aufbringung der Zwischenschicht auf die Fügeoberfläche des Substrats mittels Maskentechnik.

17. Verfahren nach einem oder mehreren der Ansprüche 7 bis 12, dadurch gekennzeichnet, daß die Zwischenschicht aus Zinn bzw. Indium auf die Fügeoberfläche des Halbleiterbauelements aus Silber bzw. Gold lokal aufgebracht wird.

18. Verfahren nach Anspruch 17, gekennzeichnet

durch eine lokale Aufbringung der Zwischenschicht auf die Fügeoberfläche des Halbleiterbauelements mittels Photolacktechnik (Photoresisttechnik).

19. Verfahren nach Anspruch 17, dadurch gekennzeichnet, daß die Zwischenschicht durch eine lokale Bedampfung oder Besputterung durch Maskentechnik auf die Fügeoberfläche des Halbleiterbauelements aufgebracht wird.

20. Verfahren nach Anspruch 17, gekennzeichnet durch eine lokale galvanische Aufbringung der Zwischenschicht auf die Fügeoberfläche des Halbleiterbauelements mittels Maskentechnik.

21. Verfahren nach einem der Ansprüche 8 bis 20, dadurch gekennzeichnet, daß das Halbleiterbauelement, die Zwischenschicht und das Trägerelement auf eine der Löttemperatur entsprechende Schmelztemperatur der Zwischenschicht in einem Bereich von 160 bis 350°C für einen Zeitraum von 0,5 bis 5 min erwärmt werden, daß für diesen Zeitraum die vorgegebenen Anpreßdrücke zwischen Verbinder, Zwischenschicht und Kontakt zwischen 0,5 und 100 Newton pro mm^2 Bauelementoberfläche betragen.

22. Verfahren nach einem der Ansprüche 8 bis 21, dadurch gekennzeichnet, daß vor der Zwischenschicht eine dünne Diffusionssperrschicht abgeschieden wird, welche eine Reaktion zwischen Trägermetall und der Zwischenschicht während der Lagerung verhindert und somit eine Verbesserung der Lagerfähigkeit erlaubt.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

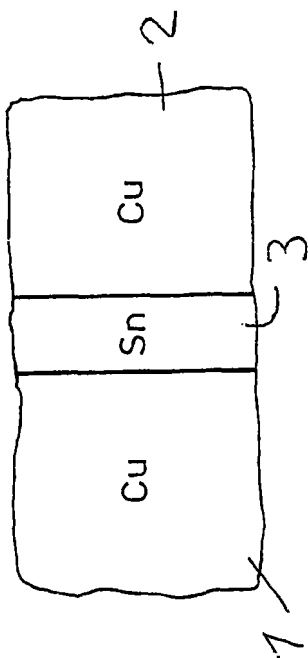


Fig. 1

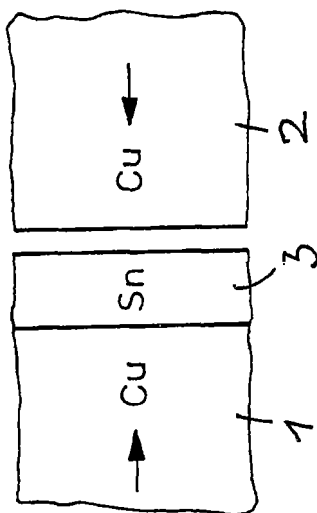


Fig. 2

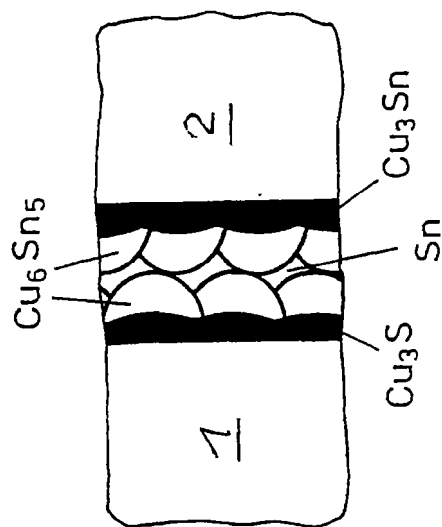


Fig. 3

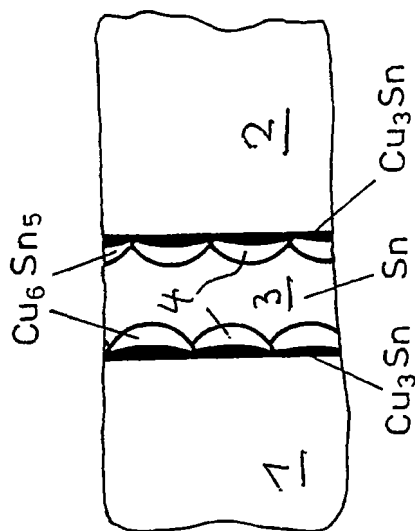


Fig. 4

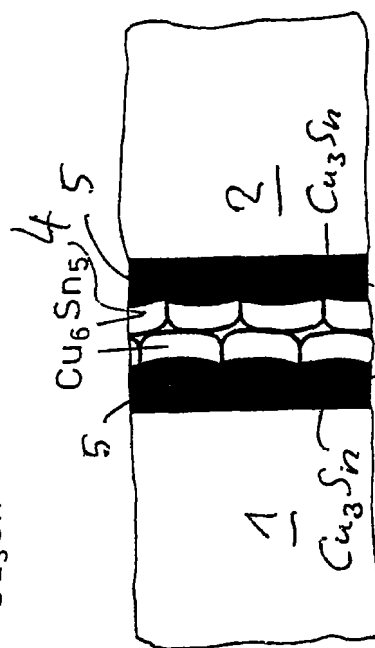


Fig. 5